

大电流便携式应用的集成 DDR存储器控制

实现低功耗小型计算应用

今天，许多现代便携式电子产品的功能正在不断丰富，同时也在减小尺寸和成本，以满足苛刻的更长运行时间的需求。因此，恰当地控制对设备的供电变得越来越困难，因为设备的电源输出在经济、有效和紧凑的方式方面出现了如此多的改变。

作者：Shadi Hawawini, Summit Microelectronics Inc.

许多现代便携式电子产品的功能正在不断丰富，尺寸和成本也在减小，以满足苛刻的更长运行时间的需求。因此，恰当地控制对设备的供电变得越来越困难，因为设备的电源输出在经济、有效和紧凑的方式方面出现了如此多的改变。本文将讨论采用有助于实现高度集成、灵活、有效和经济的电源的不同方法，这些方法可能用于便携式计算系统等应用。最终实例应用电路框图如图1所示。利用这一方法我们有望实现低功耗、小型的计算应用。

为便携式计算系统设计电源的困难在于计算系统的中央处理器（CPU）经常要求极高的电流电平，而且需要很低的工作电压，虽然随机存取存储器（RAM），通常是DDR，没有高功率需求，然而因为是低电压、高速型存储器，所以需要极其精确的电压和其他许多非常精确的参数，稍后还将探讨。许多设计人员，当他们开始从事这种非常困难的工作时，经常采用最简单的方法，以分立式电源设计来满足系统内的不同处理

需求。一个功率器件可能适用于大电流应用，另一个可实现DDR兼容性，另一个芯片则可控制排序，等等。尽管这种方法可能有效，但是它将受到空间的限制，而且实现成本十分昂贵。不过，高度集成的单个功率管理器芯片有助于实现所有这些可能的期望。在下面的设计实

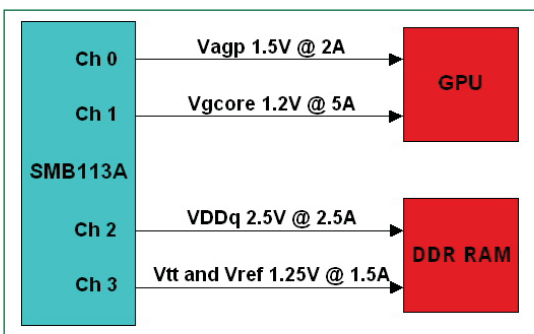


图1. 普通计算机系统应用框图。

例中，显示了所使用的高度集成、灵活的开关电源（SMPS）管理器。

实现大电流CPU的高效率

设计整个电源系统的第一个步骤是设计系统的高功率部分。由于支持这种高电平电流自然需要较大的元件，这将很可能占用印刷电路板布局最大的空间。有许多与设计

大电流应用有关的问题需要理解，以便适当地设计电源。最容易的方法是利用一种传统的电源管理解决方案，并采用较高额定电流的MOSFET。这种方法将实现期望的电流输出，不过，效率肯定将受到很大影响。为了真正理解如何获得高效率，设计人员必须了解开关稳压器中的三个主要元件，使他们知道怎样分析才能看到大电流应用是如何影响整体系统效率的。这三种元件是开关MOSFET、输出电感器和输出电容器。使用高度集成的功率管理器可以分析这个部分的结果和这三个元件的实现方法。我们的应用实例使用了4通道器件（通道0-3）为我们的系统供电。为了给CPU供电，我们将功率管理器的通道0分配为输出1.5V的电压，通道1为1.2V电压，这些都是可编程的参数。

许多较老的开关电源（SMPS）设计仅使用一只晶体管来控制SMPS的开关，不过，随着对更高效率的需求，我们要选择同步降压式转换器拓扑结构，这需要两个互补FET。这将使晶体管互补以同步

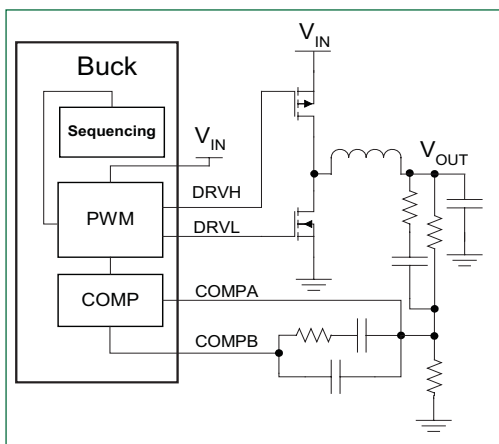


图2. 简单的同步降压式配置。

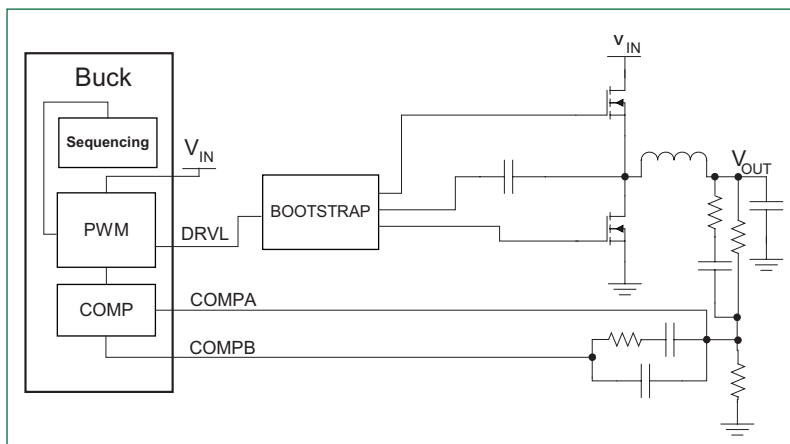


图3. 带有自举电路和两个NFET的降压稳压器。

方式运行于降压式转换器。与二极管的IV损耗相比，由于MOSFET具有双向导通能力，同时又具有较低的I²R损耗，可以取代续流二极管并提高效率。为了实现同步整流，需要有可编程死区时间，大多数器件都是可以编程的，以防止击穿（两只晶体管立即导通），以适应各种FET。图2所示为使用的标准同步降压式配置。

MOSFET

设计高效率降压型开关稳压器的第一个和最重要的步骤是决定使用什么样的FET，因为开关稳压器的多数损耗是其开关过程本身。为了实现高效率水平，FET需要选择非常低的r_{DS(on)}和相对缓慢的栅电荷。在大电流应用中不可避免出现的问题是，必须选择较大的FET，进而导致较高的栅电荷。由于与N沟道FET相比，P沟道FET自然有较高的栅电荷和r_{DS(on)}，而P沟道FET又在N沟道FET之上，这个问题将更加严重。随着FET变大，这个问题会越来越严重，最终可导致实现大电流应用的高效率设计时，上面的P沟道FET受到巨大的限制。为了减轻这个问题，上P沟道FET可以用N沟道FET进行替换。作为经

验法则，如果P沟道FET的r_{DS(on)}开始接近N沟道FET值的两倍，使用两种N沟道配置就是最佳的方法。

现在问题变成了开关节点是上N沟道FET的源极，它将在0V和Vin之间进行切换。由于没有超过栅极到源极的阈值电压，或者至少不够使晶体管进入饱和状态，如果上N沟道FET的栅极驱动是在0V和Vin之间切换，那么FET从不接通。这个问题可以通过使用自举电路将上N沟道FET的驱动电压增加到V_{DD}以上而得到解决，通常使用的是放大器、自举电容器和二极管。不过，使用分立元件可能不太实际，而应当使用有内置自举电路的MOSFET驱动器，如图3所示，它只需要使用一个输入驱动。通过取代上P沟道FET，采用自举技术能改进效率约80%-90%。

在选择一个FET时，必须彻底地分析损耗的来源。损耗的来源可以分成两类，开关损耗和导通损耗。这两个参数能够简单地被量化为以下数值，然后求和，为了比较FET，可以选择产生功率损耗最小的FET。

$$P_{sw} = t_r V_{ds,max} I_{Load} f_{sw} + \frac{C_{oss} V_{ds,max}^2 f_{sw}}{2} + f_{sw} Q_g V_{drive}$$

方程1. 开关损耗

$$P_{Cond} = R_{DS(on)} I_{Load}^2 D_{max}$$

方程2. 导通损耗

t_r = 导通上升时间

Q_g = 总栅极电荷

V_{drive} = 最大栅极驱动器电压

D_{max} = 最大占空比

f_{sw} = 开关频率

C_{oss} = 输出电容

V_{ds,max} = 最大V_{ds}，对PFET是|V_{out}-V_{in}|，对NFET Vin

实现更高效率的另一种方法是在下N沟道FET上连接一个肖特基二极管。这可以防止FET开关时开关节点降至GND以下，使体二极管导通而影响效率。一旦开关节点开始降至GND以下，肖特基二极管将箝制对地电压。现已供货的N沟道FET适用于在FET封装中集成了肖特基二极管的这种应用。

电感器

第二个具有高效率、大电流设计的元件是电感器。电感器可以形成任何SMPS主干；因此，它对了解如何适当地选择一个电感器和了解避免什么问题非常重要。以下将探讨选择不同电感器参数的权衡，以及对效率的影响。讨论的参数包括电感、DC阻抗(DCR)和电流额定值。

选择一个适当的电感器第一个考虑的是电感器的电感值，这将影响存储的能量数量。电感值对电感器以及 SMPS 的许多其他参数都有影响。需要考虑的一件事是，数据手册中的电感值是额定的。随着工作频率的增加，电感会下降，一些数据手册可能没有将其电感器的频率规定在 500kHz 至 1000kHz 之间。而且，需要考虑随着直流偏置电流的变化电感将如何变化。

选择适当值的电感器时的另一个考虑因素是如果电感值增加，通过电感器的纹波电流就会下降。因为这有助于减少输出端的纹波量，纹波可导致输出电感器的低效率，同时减少静态电流。不过，当电感值如此上升时，有利于处理减少了电流量的 DCR 值电感器。DCR 非常重要，因为它可以大大影响你的效率。DCR 必须与使用的导线类型匹配，包括其特性、直径和长度。因此，更多圈的较大的电感器将有较高的 DCR，但是体积较大的电感器有较粗直径的导线，DCR 较低。由于纹波电流和 DCR 产生的铜损耗，电感器的理想选择将与等量的磁芯损耗有关。

你的具体负载应用的温升饱和额定电流（在其大多数降额点）和工作频率是电感器另一个非常重要的特性。如果选择的电感器太小，没有足够高的电流额定值，电感器将会出现饱和，由于大峰值电流增加了 I^2R 损耗，可造成整个转换器效率的磁芯损耗。在分析整个电感器区域时，源极可以分为三类：迟滞损耗、涡流损耗和铜损耗。迟滞损耗基本上是由每次通过电感器的电流改变方向时磁场方向的改变所引起的损耗；该损耗取决于电感器磁芯的圈数、磁芯体积和开关频率。当电流流经被磁场感应的磁

芯时，就会产生涡流损耗，开始加热电感器，形成热损耗。上面已经提到的铜损耗是一种电阻损耗，假定选择了一个适当的磁芯，它与绕组的电阻和电感器的 DCR 有关，而且将是电感器最大的损耗来源。作为一种估计，我们可以假设，使用铁氧体磁芯的迟滞损耗和涡流损耗可以忽略。通常，这种类型的损耗非常难以量化，当使用铁氧体磁芯时，与铜损耗相比，导致的功耗非常低。DCR 损耗可以用以下公式描述。

$$P_{D(DCR)} = I_{rms}^2 R_{DCR}$$

方程 3. 电感器功率损耗

$$I_{rms} = \sqrt{I_{LOAD}^2 + \frac{\Delta I^2}{12}}$$

方程 4. 流经电感器的 RMS 电流

$$\Delta I = \frac{(V_{in} - V_{out})D}{Lf_{sw}}$$

方程 5. 峰-峰电流

输出电容器

最后，为降低电感值来满足较大的电流需求，可能影响输出纹波。输出电容器有等效串联电阻或与其相关的 ESR，它可以在输出端增加更多的纹波分量。实际上两个纹波分量是相互异相的，ESR 分量纹波与电感器斜率电流成正比，这并不表示大电流设计的有效性，这种设计的电感器斜率电流是非常大的。为了解决这个问题，我们增加了输出电容器的尺寸，它与纹波电压成反比；但是更重要的是，我们选择了一个低 ESR 的陶瓷电容器，可最大限度地减少大电感器斜率电流的影响。此外，选择一个低 ESR 的电容器可以降低如方程 6 所示的功率损耗。

$$P_{D(ESR)} = I_{Ripple}^2 R_{ESR}$$

方程 6. 输出电容器损耗

$$I_{Ripple} \cong 0.3\Delta I$$

方程 7. 输出纹波

利用前述的公式和设计理念，可以通过选择适当的元件设计有效的和大电流的电源管理解决方案。为了计算所设计系统的近似效率，这些损耗可以加在一起，得到整个通道的功率损耗，然后采用方程 8。

$$\eta = \frac{1}{1 + \frac{P_{loss}}{P_{out}}}$$

方程 8. 整体系统效率

为了进一步简化上述过程，有一种软件可以自动执行所有上述计算。其中的一个产品是 PowerTools™，是由 Summit Microelectronics 提供的免费设计工具。PowerTools™ 有助于选择 MOSFET、电容器和电感器，帮助完成整个系统设计。

与选择元件同样重要的是对 SMPS 板进行适当的布局。在对 SMPS 进行布局时，事实上困难在于，由于高 dV/dt 开关，转换器会产生大量电磁干扰 (EMI) 噪声，这个问题会随较高的电流而恶化。这种 EMI 噪声可能注入 SMPS 中对噪声十分敏感的元件，使系统变得不稳定。作为经验法则，这对在板的一面布局所有功率元件，如电感器、MOSFET 和输出电容器是很好的实践，在 MOSFET 的栅极和器件之间可以有最小的间距。MOSFET 的输入电容器也应该放在很近的地方。此外，补偿元件可以放在印刷电路板的另一面，离开功率元件，也不要直接放在开关的下面，以防止这些噪声敏感元件拾取噪声。此

外，补偿元件可以放在靠近器件补偿引脚的地方，以进一步防止高 z 输入节点的噪声拾取送到比较器。SMPS 布局考虑的其他因素难以计数，但是这些超出了本文的范围。

系统设计的下一步是为我们的功率管理器整合严格的 DDR 规范。由于在其他方面存在低工作电压的情况，DDR 容差性必须非常严格。这些容差性和要求及其实现方法将在后面谈到。

实现 DDR 的兼容性概述和规范

目前市场上有两种 DDR SDRAM 标准，DDR 和 DDR2，预计计划中的 DDR3 标准将在 2007 年中发布。所有三个标准都采用同一个基本的电源要求，也有一些值得注意的例外，其中之一是：DDR 的输出电源电压 V_{DDQ} 为 2.5V，DDR2 的 V_{DDQ} 为 1.8V，而 DDR3 的 V_{DDQ} 暂时设置为 1.5V，以降低功耗。不过，除了这些，所有 DDR SDRAM 的运行都使用三个电压，输出电源电压 V_{DDQ} ；输入参考电压 V_{REF} ；以及终止电压 V_{TT} 。为了正常运行，DDR 电源

转换标准必须遵循以下几点。

- 1) $V_{REF} = 0.5 * V_{DDQ}$
- 2) V_{REF} 必须能够跟踪任何 V_{DDQ} 的变化
- 3) V_{TT} 必须等于 $V_{REF} \pm 40mV$
- 4) V_{REF} 的纹波电压不可超过 $\pm 2\%$
- 5) 对于 DDR2, $V_{DD} = V_{DDL} = V_{DDQ}$
- 6) 加电电压斜升 $< 20ms$
- 7) 必须具备源极和灌入电流

实现方法

许多这样的需求已经可以使用上面提到的可编程能力得到满足，而无需任何修改或增加。对于存储器，以 DDR SDRAM 为例，我们使用该器件的通道 2 提供 $V_{DDQ} = 2.5V$ ，而通道 3 提供 V_{TT} 且 $V_{REF} = 1.25V$ ，这样就可以满足条件一和三的要求。

利用适当的补偿值，以及 $10 \mu H$ 电感器和与 $0.1 \mu F$ 旁路高频退耦陶瓷电容器并联的 $22 \mu F$ 输出陶瓷电容器，或者使用其他低 ESR 电容器，将可以减少在这些通道输出端的纹波，以满足条件四。作为经验法则，电感器越大，纹波电流越小。此外，输出电容器越大，ESR 越低，输出纹波将越好。

为满足条件六，我们通过可编程协议利用可编程转换控制调节速率，以此使功率管理器的每个通道导通。为了满足这个需求，转换速率将被设置在 $200V/s$ 或更高，以实现期望的上电延迟 (power up time)。转换速率通常依赖于 $R1$ 和 $R2$ 的电阻分压器，因此，增加 $R1$ (降低 $R2$) 也将增加转换速率。

此外，由于我们的功率管理器使用了同步降压拓扑结构的特性，可以实现内在的流入和流出电流能力。

必须满足的最后要求是 V_{REF} 必须能够跟踪任何 V_{DDQ} 的变化。通过增加一个高速运算放大器和 3 个电阻器即可实现；两个严格的容差是 $1k\Omega$ 电阻器和 $10k\Omega$ 限流电阻器，正如在以下电路看到的那样。 V_{DDQ} 的一半是通过串联的 $1k\Omega$ 电阻器两端的分压建立的，并存在于运算放大器的非反向端。任何 V_{DDQ} 的变化都可以由运算放大器的非反向端“感觉到”，然后它与在反向端的 V_{REF} 的进行“比较”。然后，运算放大器的输出被馈入功率管理器器件的 V_{REF} (COMP2_CH3) 补偿引脚，它可以在内部调节占空比，有助于 V_{REF} 跟踪 V_{DDQ} ，进而在 V_{DDQ} 变化时，通过反馈改变 V_{REF} ，来动态地调整通道 3 的 V_{REF} 的输出电压。

结论

可以看到，利用上述设计方法设计者现在可以创建一个更低的成本、高度集成和灵活的开关电源。并非所有上述信息都适用于所有实例应用，不应该被作为一本“烹调手册”使用，而是用来创建电源的普遍方法，应当针对使用中的具体的功率管理器进行定制。

www.summitmicro.com

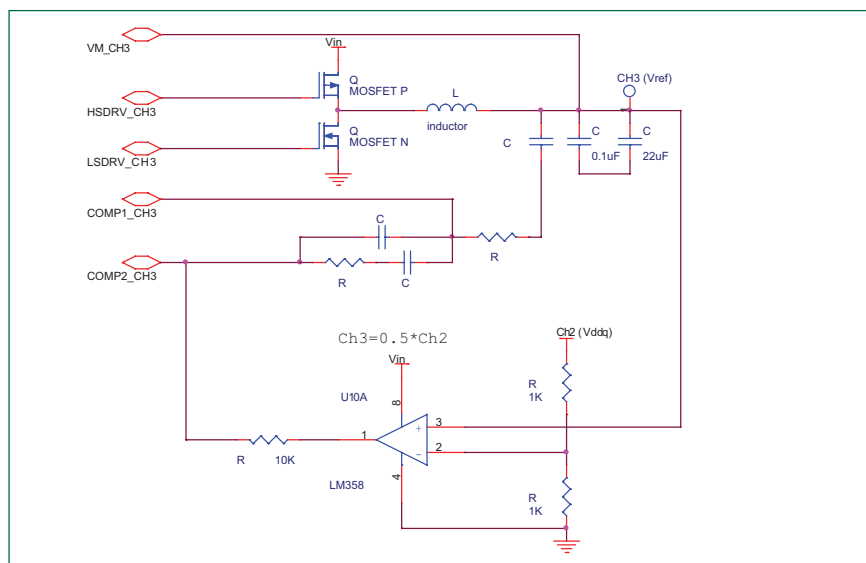


图 5. V_{DDQ} 变化跟踪电路。